

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175744

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G06F 13/12

(21)Application number : 05-318832

(71)Applicant : NEC ENG LTD
NEC CORP

(22)Date of filing : 20.12.1993

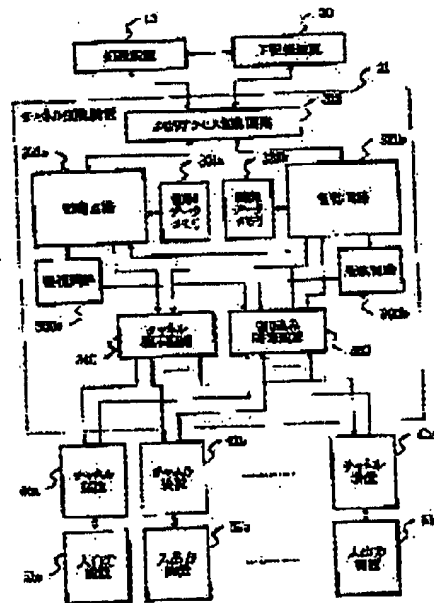
(72)Inventor : NAKASE KUNIO
HONDA KEIJI
KAMIBAYASHI NAOKI

(54) CHANNEL CONTROL SYSTEM

(57)Abstract:

PURPOSE: To provide a channel control system which can shorten the waiting time of processing to the operation request given from a channel device.

CONSTITUTION: The control data memories 331a and 331b store the control data which are read out of a main storage device 20. A memory access control circuit 315 controls the operation to read the control data out of the storage device 20. Receiving the start signals, the control circuits 321a and 321b control one of channel devices 41a-41c by means of the control data stored in the memories 331a and 331b and based on the channel program stored in the storage device 20. An interruption control circuit 350 receives the operation request signals from the channel devices to select the channel device to be processed. Then the circuit 350 selects the control circuit which is not operating and sends a start signal to this control circuit based on the output information received from the monitor circuits 300a and 300b. A channel instruction circuit 340 connects the control circuit to the selected channel device and relays the operation instructing contents to the channel device from the control circuit.



LEGAL STATUS

[Date of request for examination]

23.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3288158

[Date of registration]

15.03.2002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175744

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.⁸

G 0 6 F 13/12

識別記号

3 1 0 C

庁内整理番号

8327-5B

F 8327-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号

特願平5-318832

(22) 出願日

平成5年(1993)12月20日

(71) 出願人

000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(71) 出願人

000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者

中瀬 邦夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者

本多 恵治

東京都港区西新橋三丁目20番4号 日本電気エンジニアリング株式会社内

(74) 代理人

弁理士 京本 直樹 (外2名)

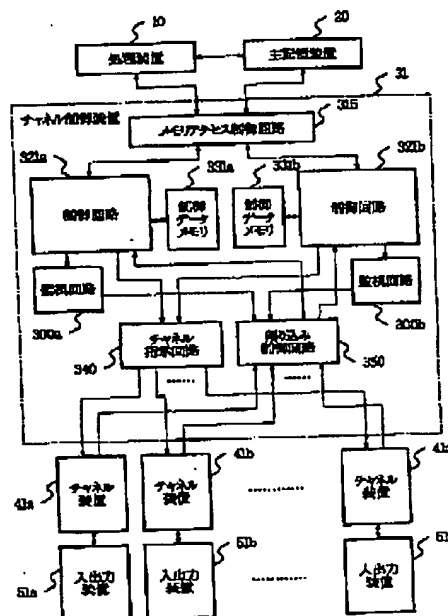
最終頁に続く

(54) 【発明の名称】 チャネル制御方式

(57) 【要約】

【構成】制御データメモリ331a、331bは主記憶装置20から読み出された制御データを記憶する。メモリアクセス制御回路315は主記憶装置20からの制御データの読み出しを制御する。起動信号を受信して制御回路321a、321bは制御データメモリの制御データを用いて主記憶装置内のチャネルプログラムに従いチャネル装置41a～41cの中から選択された1つのチャネル装置を制御する。割り込み制御回路350は、チャネル装置からの動作要求信号を受信して処理すべきチャネル装置を選択し、次に監視回路300a、300bからの出力情報に従って、動作していない制御回路を選択し起動信号を送出する。チャネル指示回路340は制御回路と選択されたチャネル装置とを接続し、制御回路から接続されたチャネル装置への動作指示内容を中継する。

【効果】チャネル装置からの動作要求に対する処理の待ち時間を少なくできる。



(2)

特開平7-175744

1

2

【特許請求の範囲】

【請求項1】 処理装置と前記処理装置に制御される複数の入出力装置との間にそれぞれ接続された複数のチャネル装置と、前記処理装置と前記複数のチャネル装置との間にあって前記複数のチャネル装置を時分割に制御するチャネル制御装置と、前記処理装置と前記チャネル制御装置とに接続され、前記チャネル制御装置の動作を記述したチャネルプログラムと前記チャネル装置及び入出力装置の制御状態を示す制御データとを格納する主記憶装置とを備えたチャネル制御方式において、前記チャネル制御装置が、(A)前記主記憶装置から読み出された制御データを記憶する第1の制御データメモリ、(B)前記主記憶装置から読み出された制御データを記憶する第2の制御データメモリ、(C)前記主記憶装置からの前記制御データの読み出しを制御するメモリアクセス制御回路、(D)第1の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記第1の制御データメモリに記憶させ、前記第1の制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第1のチャネル装置を制御する第1の制御回路、(E)第2の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記第2の制御データメモリに記憶させ、前記第2の制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第2のチャネル装置を制御する第2の制御回路、(F)前記第1の制御回路が動作中か否かを監視し、前記第1の制御回路の動作状態を示す情報を出力する第1の監視回路、(G)前記第2の制御回路が動作中か否かを監視し、前記第2の制御回路の動作状態を示す情報を出力する第2の監視回路、(H)前記チャネル装置からの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべき前記チャネル装置を複数のチャネル装置の中から選択し、選択したチャネル装置を起動制御するように、前記第1の監視回路及び前記第2の監視回路から出力された前記第1の制御回路及び第2の制御回路の動作状態を示す情報に従って、前記第1の制御回路及び第2の制御回路の中の動作していない制御回路を選択し、選択された該制御回路に前記第1の起動信号または前記第2の起動信号を送出する割り込み制御回路、(I)前記第1の制御回路と前記第1のチャネル装置とを接続し、また前記第2の制御回路と前記第2のチャネル装置とを接続し、前記第1の制御回路から前記第1のチャネル装置への動作指示内容を、また前記第2の制御回路から前記第2のチャネル装置への動作指示内容を中継するチャネル指示回路、を備えたことを特徴とするチャネル制御方式。

【請求項2】 処理装置と前記処理装置に制御される複

数の入出力装置との間にそれぞれ接続された複数のチャネル装置と、前記処理装置と前記複数のチャネル装置との間にあって前記複数のチャネル装置を時分割に制御するチャネル制御装置と、前記処理装置と前記チャネル制御装置とに接続され、前記チャネル制御装置の動作を記述したチャネルプログラムと前記チャネル装置及び入出力装置の制御状態を示す制御データとを格納する主記憶装置とを備えたチャネル制御方式において、前記チャネル制御装置が、(A)前記主記憶装置から読み出された制御データを記憶する制御データメモリ、(B)前記主記憶装置からの前記制御データの読み出しを制御するメモリアクセス制御回路、(C)第1の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記制御データメモリに記憶させ、前記制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第1のチャネル装置を制御する第1の制御回路、(D)第2の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記制御データメモリに記憶させ、前記制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第2のチャネル装置を制御する第2の制御回路、(E)前記第1の制御回路が動作中か否かを監視し、前記第1の制御回路の動作状態を示す情報を出力する第1の監視回路、(F)前記第2の制御回路が動作中か否かを監視し、前記第2の制御回路の動作状態を示す情報を出力する第2の監視回路、(G)前記チャネル装置からの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべき前記チャネル装置を複数のチャネル装置の中から選択し、選択したチャネル装置を起動制御するように、前記第1の監視回路及び前記第2の監視回路から出力された前記第1の制御回路及び第2の制御回路の動作状態を示す情報に従って、前記第1の制御回路及び第2の制御回路の中の動作していない制御回路を選択し、選択された該制御回路に前記第1の起動信号または前記第2の起動信号を送出する割り込み制御回路、(H)前記第1の制御回路と前記第1のチャネル装置とを接続し、また前記第2の制御回路と前記第2のチャネル装置とを接続し、前記第1の制御回路から前記第1のチャネル装置への動作指示内容を、また前記第2の制御回路から前記第2のチャネル装置への動作指示内容を中継するチャネル指示回路、を備えたことを特徴とするチャネル制御方式。

【請求項3】 請求項2記載のチャネル制御方式において、前記チャネル制御装置が、(I)前記第1の制御回路が正常に動作しているか否かをモニタし、前記第1の制御回路の障害が検出された場合に、前記第2の制御回路に対し前記第1の制御回路の障害を通知する第1の障

(3)

特開平7-175744

3

告検出回路、(J)前記第2の制御回路が正常に動作しているか否かをモニタし、前記第2の制御回路の障害が検出された場合に、前記第1の制御回路に対し前記第2の制御回路の障害を通知する第2の障害検出回路、を備えたことを特徴とするチャネル制御方式。

【請求項4】 請求項2記載のチャネル制御方式において、前記チャネル制御装置が、(I)前記第1のチャネル装置に対応するチャネル番号を格納する第1のチャネル番号レジスタ、(J)前記第2のチャネル装置に対応するチャネル番号を格納する第2のチャネル番号レジスタ、(K)前記第1のチャネル番号レジスタに格納された前記第1のチャネル装置に対応するチャネル番号と前記第2のチャネル番号レジスタに格納された前記第2のチャネル装置に対応するチャネル番号とを比較し、比較結果を前記第1の制御回路及び前記第2の制御回路に通知する比較回路、を備えたことを特徴とするチャネル制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はチャネル制御方式に関し、特にデータ処理システムにおいて処理装置から入出力装置を制御するために、複数のチャネルを時分割で接続制御するチャネル制御方式に関する。

【0002】

【従来の技術】従来のデータ処理システムでは、処理装置から入出力装置（磁気テープ装置、磁気ディスク装置、タイプライタ等）を制御するために、図5に示す如く複数のチャネル装置及びこれ等のチャネル装置を制御するチャネル制御装置を使用することが一般的に行われている。

【0003】図5に示すチャネル装置41a～41c及びチャネル制御装置35は、処理装置10の管理下で、主記憶装置20に格納されたチャネルプログラム等の動作指示情報とチャネル装置41a～41cに対応した制御データとに従い、入出力装置51a～51cと主記憶装置20との間で行われるデータ転送動作のためのチャネル制御を行うことができるように構成されている。

【0004】この場合、図5に示す如くチャネル制御装置35に制御回路325を設け、この制御回路325により時分割で複数のチャネル装置41a～41cを制御するようになっている。

【0005】以下に、図5を用いて、従来技術におけるチャネル制御装置35の動作を説明する。

【0006】図5において、チャネル制御装置35は、処理装置10からの指示信号の受信と処理装置10への応答信号の送出と主記憶装置20からの情報の読み出し及び書き込みとを制御するメモリアクセス制御回路316、チャネル装置41a～41cに動作指示信号を送出しチャネル装置41a～41cを制御する制御回路325、チャネル装置41a～41cからの動作要求信号を

4

受信して優先順位に従って次に処理すべきチャネル装置を選択し、これを制御回路325に通知する割り込み制御回路355、チャネル装置41a～41c及び入出力装置51a～51cの制御状態を示すデータである制御データを記憶する制御データメモリ333から構成されている。

【0007】このような構成により、チャネル制御装置35は処理装置10からの動作指示信号あるいはチャネル装置41a～41cからの動作要求信号を受信したときは、制御すべきチャネル装置に対応した制御データを主記憶装置20より制御データメモリ333に読み込み、それ以降はこの制御データを用いて主記憶装置20に格納されたチャネルプログラムに従い対応するチャネル装置を制御する。

【0008】

【発明が解決しようとする課題】上述した従来のチャネル制御方式は、複数のチャネル装置を一つの制御回路により制御する方式なので、制御回路の動作状況によっては、チャネル装置からの動作要求に対する処理の開始までに待ち時間が生じることがあるが、この処理の待ち時間が生じるのは、チャネル制御装置が管理すべきチャネル装置が多い場合あるいはチャネル装置の使用頻度が高い場合に顕著になる。このように処理の待ち時間が生じる場合は、チャネル制御装置からのチャネル装置への動作指示が遅れ、ひいてはチャネル装置とチャネル装置に接続された入出力装置との間の動作に動作指示が追従できなくなり、コマンドオーバーランや、データオーバーラン等の弊害が生じるという欠点を有している。

【0009】また、上記の問題に対応するためには、チャネル制御装置の性能を必要以上に向上させて処理の遅れを軽減しなければならず、これがチャネル制御装置のコストを高価にする原因の一つになるという欠点を有している。

【0010】本発明の目的は、待ち時間が少なく処理速度の速いチャネル制御方式を提供することにある。

【0011】

【課題を解決するための手段】第1の発明のチャネル制御方式は、処理装置と前記処理装置に制御される複数の入出力装置との間にそれぞれ接続された複数のチャネル装置と、前記処理装置と前記複数のチャネル装置との間にあって前記複数のチャネル装置を時分割に制御するチャネル制御装置と、前記処理装置と前記チャネル制御装置とに接続され、前記チャネル制御装置の動作を記述したチャネルプログラムと前記チャネル装置及び入出力装置の制御状態を示す制御データとを格納する主記憶装置とを備えたチャネル制御方式において、前記チャネル制御装置が、(A)前記主記憶装置から読み出された制御データを記憶する第1の制御データメモリ、(B)前記主記憶装置から読み出された制御データを記憶する第2の制御データメモリ、(C)前記主記憶装置からの前記

(4)

特開平7-175744

5

制御データの読み出しを制御するメモリアクセス制御回路、(D)第1の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記第1の制御データメモリに記憶させ、前記第1の制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第1のチャネル装置を制御する第1の制御回路、(E)第2の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記第2の制御データメモリに記憶させ、前記第2の制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第2のチャネル装置を制御する第2の制御回路、(F)前記第1の制御回路が動作中か否かを監視し、前記第1の制御回路の動作状態を示す情報を出力する第1の監視回路、(G)前記第2の制御回路が動作中か否かを監視し、前記第2の制御回路の動作状態を示す情報を出力する第2の監視回路、(H)前記チャネル装置からの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべき前記チャネル装置を複数のチャネル装置の中から選択し、選択したチャネル装置を起動制御するように、前記第1の監視回路及び前記第2の監視回路から出力された前記第1の制御回路及び第2の制御回路の動作状態を示す情報に従って、前記第1の制御回路及び第2の制御回路の中の動作していない制御回路を選択し、選択された該制御回路に前記第1の起動信号または前記第2の起動信号を送出する割り込み制御回路、(I)前記第1の制御回路と前記第1のチャネル装置とを接続し、また前記第2の制御回路と前記第2のチャネル装置とを接続し、前記第1の制御回路から前記第1のチャネル装置への動作指示内容を、また前記第2の制御回路から前記第2のチャネル装置への動作指示内容を中継するチャネル指示回路、を備えて構成されている。

【0012】また、第2の発明のチャネル制御方式は、処理装置と前記処理装置に制御される複数の入出力装置との間にそれぞれ接続された複数のチャネル装置と、前記処理装置と前記複数のチャネル装置との間にあって前記複数のチャネル装置を時分割に制御するチャネル制御装置と、前記処理装置と前記チャネル制御装置とに接続され、前記チャネル制御装置の動作を記述したチャネルプログラムと前記チャネル装置及び入出力装置の制御状態を示す制御データとを格納する主記憶装置とを備えたチャネル制御方式において、前記チャネル制御装置が、(A)前記主記憶装置から読み出された制御データを記憶する制御データメモリ、(B)前記主記憶装置からの前記制御データの読み出しを制御するメモリアクセス制御回路、(C)第1の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御デー

6

タを読み出し前記制御データメモリに記憶させ、前記制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第1のチャネル装置を制御する第1の制御回路、(D)第2の起動信号を受信し前記メモリアクセス制御回路を介して前記主記憶装置から前記制御データを読み出し前記制御データメモリに記憶させ、前記制御データメモリに記憶された制御データを用いて前記主記憶装置内に格納されたチャネルプログラムに従い前記チャネル装置の中から選択された第2のチャネル装置を制御する第2の制御回路、(E)前記第1の制御回路が動作中か否かを監視し、前記第1の制御回路の動作状態を示す情報を出力する第1の監視回路、(F)前記第2の制御回路が動作中か否かを監視し、前記第2の制御回路の動作状態を示す情報を出力する第2の監視回路、(G)前記チャネル装置からの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべき前記チャネル装置を複数のチャネル装置の中から選択し、選択したチャネル装置を起動制御するように、前記第1の監視回路及び前記第2の監視回路から出力された前記第1の制御回路及び第2の制御回路の動作状態を示す情報に従って、前記第1の制御回路及び第2の制御回路の中の動作していない制御回路を選択し、選択された該制御回路に前記第1の起動信号または前記第2の起動信号を送出する割り込み制御回路、(H)前記第1の制御回路と前記第1のチャネル装置とを接続し、また前記第2の制御回路と前記第2のチャネル装置とを接続し、前記第1の制御回路から前記第1のチャネル装置への動作指示内容を、また前記第2の制御回路から前記第2のチャネル装置への動作指示内容を中継するチャネル指示回路、を備えて構成されている。

【0013】また、第3の発明のチャネル制御方式は、第2の発明のチャネル制御方式において、前記チャネル制御装置が、(I)前記第1の制御回路が正常に動作しているか否かをモニタし、前記第1の制御回路の障害が検出された場合に、前記第2の制御回路に対し前記第1の制御回路の障害を通知する第1の障害検出回路、(J)前記第2の制御回路が正常に動作しているか否かをモニタし、前記第2の制御回路の障害が検出された場合に、前記第1の制御回路に対し前記第2の制御回路の障害を通知する第2の障害検出回路、を備えて構成されている。

【0014】また、第4の発明のチャネル制御方式は、第2の発明のチャネル制御方式において、前記チャネル制御装置が、(I)前記第1のチャネル装置に対応するチャネル番号を格納する第1のチャネル番号レジスタ、(J)前記第2のチャネル装置に対応するチャネル番号を格納する第2のチャネル番号レジスタ、(K)前記第1のチャネル番号レジスタに格納された前記第1のチャネル装置に対応するチャネル番号と前記第2のチャネル

(5)

特開平7-175744

7

番号レジスタに格納された前記第2のチャネル装置に対応するチャネル番号とを比較し、比較結果を前記第1の制御回路及び前記第2の制御回路に通知する比較回路、を備えて構成されている。

【0015】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0016】図1は、第1の発明のチャネル制御方式の一実施例を示すブロック図である。

【0017】図1に示す実施例のチャネル制御方式は、
処理装置10、処理装置10に制御される複数の入出力装置51a～51cとの間にそれぞれ接続された複数のチャネル装置41a～41c、処理装置10とチャネル装置41a～41cとの間にあってチャネル装置を時分割に制御するチャネル制御装置31、処理装置10とチャネル制御装置31とに接続されてチャネル制御装置31の動作を記述したチャネルプログラムとチャネル装置41a～41c及び入出力装置51a～51cの制御状態を示す制御データとを格納する主記憶装置20から構成されている。

【0018】また、チャネル制御装置31は、主記憶装置20から読み出された制御データを記憶する制御データメモリ331a、331b、主記憶装置20からの制御データの読み出しを制御するメモリアクセス制御回路315、メモリアクセス制御回路315を介して主記憶装置20から制御データを読み出し制御データメモリ331a、331bに記憶させ、制御データメモリ331a、331bに記憶された制御データを用いて主記憶装置20内に格納されたチャネルプログラムに従いチャネル装置41a～41cの中から選択された1つのチャネル装置を制御する制御回路321a、321b、制御回路321a、321bが動作中か否かを監視し、制御回路321a、321bの動作状態を示す情報を出力する監視回路300a、300b、チャネル装置41a～41cからの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべきチャネル装置をチャネル装置41a～41cの中から選択し、選択したチャネル装置を起動制御するように、監視回路300a、300bから出力された制御回路321a、321bの動作状態を示す情報に従って、制御回路321a、321bの中の動作していない制御回路を選択し、選択された制御回路に起動信号を送出する割り込み制御回路350、制御回路321a、321bとチャネル装置41a～41cの中から選択されたチャネル装置とを接続し、制御回路321a、321bからそれぞれに接続されたチャネル装置への動作指示内容の中継するチャネル指示回路340から構成されている。

【0019】図1の処理装置10、主記憶装置20、チャネル装置41a～41c、及び入出力装置51a～51cは、図5に示すものと同じである。

8

【0020】次に、動作を説明する。

【0021】図1において、チャネル制御装置31のメモリアクセス制御回路315は、2個の制御回路321a、321bに接続されているが、図5におけるメモリアクセス制御回路316と同様な機能を有しているため動作説明は省略する。

【0022】次に、監視回路300a、300bは各々接続された上記制御回路321a、321bの動作状況をモニタする回路で、対応する制御回路が動作中か否かを割り込み制御回路350に表示する。割り込み制御回路350は、チャネル装置41a～41cからの動作要求信号を受信し、動作要求してきたチャネル装置の優先順位を判定し、最も優先順位の高いチャネル装置からの割り込みを選択した後、監視回路300a、300bにより表示される制御回路321a、321bの動作状態を参照し、制御回路321a、321bのうち動作していない制御回路を選択してその制御回路に対し起動信号を送出する。割り込み制御回路350から送られた起動信号により起動された制御回路が、例えば制御回路321aであるとする、制御回路321aは割り込み制御回路350に選択されたチャネル装置に対応した制御データ、すなわちチャネル装置41a～41c及び入出力装置51a～51cの制御状態を示すデータを主記憶装置20から読み出して対応する制御データメモリ331aに記憶させ、制御データメモリ331aに記憶された制御データを用い、主記憶装置20に格納されたチャネルプログラムに従い対応するチャネル装置を制御する。もし、割り込み制御回路350から送られた起動信号により起動された制御回路が制御回路321bであるとする、制御回路321bは、チャネル装置41a～41c及び入出力装置51a～51cの制御状態を示すデータを主記憶装置20から読み出して対応する制御データメモリ331bに記憶させ、制御回路321aの場合と同様に制御データメモリに記憶された制御データを用い、主記憶装置20に格納されたチャネルプログラムに従い対応するチャネル装置を制御する。また、チャネル指示回路340は、クロスバースイッチであり、チャネル装置41a～41cの中から選択され制御回路321a、321bにより制御されたチャネル装置とそれぞれのチャネル装置を制御した制御回路とを接続する。そしてチャネル指示回路340は、制御回路321a、321bからそれぞれに接続されたチャネル装置への動作指示信号の中継する機能を有する。これにより、制御回路321a、321bのうち一方の制御回路が動作中でも、他方の空いている制御回路により起動要求の処理動作を実施することができる。

【0023】制御回路321a、321bが双方共動作中の場合は、チャネル装置からの動作要求についての接続処理は行われず、待ち時間が発生するが、一般に制御回路321a、321b双方が同時に動作中となる確率

(6)

特開平7-175744

9

は小さく、また、その継続時間も短いため、待ち時間は従来技術の場合に比べ大幅に改善される。

【0024】このように、本発明のチャネル制御方式は、複数のチャネル装置に対応して、チャネル制御装置内に複数の制御回路を設け、チャネル装置からの動作要求をこれら複数の制御回路で分担して実行することにより、各々の制御回路の負荷を分散し待ち時間が少なく処理速度の速いチャネル制御方式を実現することができる。

【0025】図2は第2の発明のチャネル制御方式の一実施例を示すブロック図である。

【0026】図2に示す実施例のチャネル制御方式は、処理装置10、処理装置10に制御される複数の入出力装置51a～51cとの間にそれぞれ接続された複数のチャネル装置41a～41c、処理装置10とチャネル装置41a～41cとの間にあつてチャネル装置を時分割に制御するチャネル制御装置32、処理装置10とチャネル制御装置32とに接続されてチャネル制御装置31の動作を記述したチャネルプログラムとチャネル装置41a～41c及び入出力装置51a～51cの制御状態を示す制御データとを格納する主記憶装置20から構成されている。

【0027】また、チャネル制御装置32は、主記憶装置20から読み出された制御データを記憶する制御データメモリ332、主記憶装置20からの制御データの読み出しを制御するメモリアクセス制御回路315、メモリアクセス制御回路315を介して主記憶装置20から制御データを読み出し制御データメモリ332に記憶させ、制御データメモリ332に記憶された制御データを用いて主記憶装置20内に格納されたチャネルプログラムに従いチャネル装置41a～41cの中から選択された1つのチャネル装置を制御する制御回路322a、322b、制御回路322a、322bが動作中か否かを監視し、制御回路322a、322bの動作状態を示す情報を出力する監視回路300a、300b、チャネル装置41a～41cからの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべきチャネル装置をチャネル装置41a～41cの中から選択し、選択したチャネル装置を起動制御するように、監視回路300a、300bから出力された制御回路322a、322bの動作状態を示す情報に従って、制御回路322a、322bの中の動作していない制御回路を選択し、選択された制御回路に起動信号を送出する割り込み制御回路350、制御回路322a、322bとチャネル装置41a～41cの中から選択されたチャネル装置とを接続し、制御回路322a、322bからそれぞれに接続されたチャネル装置への動作指示内容の中継するチャネル指示回路340から構成されている。

【0028】図2のチャネル制御装置32は、図1のチャネル制御装置31における制御データメモリ331

10

a、331bに代って制御データメモリ332が設けられている点異なる。制御データメモリ332の機能は制御データメモリ331a、331bの機能と基本的には同じであり、制御回路322a、制御回路322bの双方の制御回路からアクセスされる点異なる。そして、制御回路322a、322bの基本的機能は図1のチャネル制御装置31の制御回路321a、321bの機能と同じである。従って、図1の実施例と異なる制御データメモリ332の動作を中心に動作説明を行う。また、図1のチャネル制御装置31の構成と共通する部分の動作説明は省略する。

【0029】上記で説明した図1における制御回路321a、321bに対応して設けられた制御データメモリ331a、331bは、チャネル装置41a～41cを制御する際に、主記憶装置20よりチャネル装置に対応した制御データを読み出し、これを格納してその後の制御のために使用するが、チャネル装置41a～41cからの動作要求を処理する制御回路は動作要求の都度選択されるため、制御データメモリ331a、331bに格納された制御データは、制御回路の選択の都度主記憶装置20から読み出す必要がある。

【0030】それに対し、図2の制御データメモリ332は、制御回路322a、322bの双方からアクセス可能なメモリであり、このような構成をとることにより、主記憶装置20から読み込まれた制御データは、制御回路の変更が生じてそのまま継続して使用可能となり、制御回路の変更が生じてその都度主記憶装置20から制御データを読み出す必要がない。

【0031】第2の発明では、複数の制御回路で共有できる記憶手段を設けることにより、第1の発明より制御メモリを減らしチャネル制御装置を安価に構成することができる。

【0032】図3は第3の発明のチャネル制御方式の一実施例を示すブロック図である。

【0033】図3に示す実施例のチャネル制御方式は、処理装置10、処理装置10に制御される複数の入出力装置51a～51cとの間にそれぞれ接続された複数のチャネル装置41a～41c、処理装置10とチャネル装置41a～41cとの間にあつてチャネル装置を時分割に制御するチャネル制御装置33、処理装置10とチャネル制御装置33とに接続されてチャネル制御装置33の動作を記述したチャネルプログラムとチャネル装置41a～41c及び入出力装置51a～51cの制御状態を示す制御データとを格納する主記憶装置20から構成されている。

【0034】また、チャネル制御装置33は、主記憶装置20から読み出された制御データを記憶する制御データメモリ332、主記憶装置20からの制御データの読み出しを制御するメモリアクセス制御回路315、メモリアクセス制御回路315を介して主記憶装置20から

(7)

特開平7-175744

11

制御データを読み出し制御データメモリ332に記憶させ、制御データメモリ332に記憶された制御データを用いて主記憶装置20内に格納されたチャネルプログラムに従いチャネル装置41a~41cの中から選択された1つのチャネル装置を制御する制御回路323a、323b、制御回路323a、323bが動作中か否かを監視し、制御回路323a、323bの動作状態を示す情報を出力する監視回路300a、300b、チャネル装置41a~41cからの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべきチャネル装置をチャネル装置41a~41cの中から選択し、選択したチャネル装置を起動制御するように、監視回路300a、300bから出力された制御回路323a、323bの動作状態を示す情報に従って、制御回路323a、323bの中の動作していない制御回路を選択し、選択された制御回路に起動信号を送出する割り込み制御回路350、制御回路323a、323bとチャネル装置41a~41cの中から選択されたチャネル装置とを接続し、制御回路323a、323bからそれぞれに接続されたチャネル装置への動作指示内容の中継するチャネル指示回路340、制御回路323a、323bが正常に動作しているか否かをモニタし、制御回路323a、323bのうちの一方の制御回路に障害が検出された場合に、他の制御回路に対し検出された障害を通知する障害検出回路360a、360bから構成されている。

【0035】図3におけるチャネル制御装置33は、図2のチャネル制御方式のブロック図に、障害検出回路360a、360bが付加されている点異なる。そして、制御回路323a、323bの基本的機能は図2のチャネル制御装置32の制御回路322a、322bの機能と同じであるが、障害検出回路360a、360bとの信号の授受に基づく動作が異なる。従って、図2の実施例と異なる障害検出回路360a、360bの動作を中心に動作説明を行う。また、図2のチャネル制御装置31の構成と共通する部分の動作説明は省略する。

【0036】図3において、障害検出回路360a、360bは、各々対応する制御回路323a、323bが正常に動作しているか否かをモニタする回路で、制御回路323a、323bのいずれかで障害が検出された場合、障害が検出された制御回路に対応する障害検出回路は、障害の発生していない方の制御回路に対し他の制御回路で検出された障害の発生を通知する。他の制御回路の障害を通知された制御回路は、この通知により障害を発生した制御回路の動作を停止させ、実行中の転送動作が失敗したことを処理装置10に通知する。これにより、処理装置10に負担をかけることなく制御回路の障害の発生の際の処理が可能となる。

【0037】第3の発明では、障害検出回路を設け、一つの制御回路に障害が発生したとき、障害発生を残り

12

制御回路により処理装置に通知することにより、第2の発明より処理装置にかかる負担が少ないチャネル制御方式を実現することができる。

【0038】図4は第4の発明のチャネル制御方式の一実施例を示すブロック図である。

【0039】図4に示す実施例のチャネル制御方式は、処理装置10、処理装置10に制御される複数の入出力装置51a~51cとの間にそれぞれ接続された複数のチャネル装置41a~41c、処理装置10とチャネル装置41a~41cとの間にあってチャネル装置を時分割に制御するチャネル制御装置34、処理装置10とチャネル制御装置33とに接続されてチャネル制御装置34の動作を記述したチャネルプログラムとチャネル装置41a~41c及び入出力装置51a~51cの制御状態を示す制御データとを格納する主記憶装置20から構成されている。

【0040】また、チャネル制御装置34は、主記憶装置20から読み出された制御データを記憶する制御データメモリ332、主記憶装置20からの制御データの読み出しを制御するメモリアクセス制御回路315、メモリアクセス制御回路315を介して主記憶装置20から制御データを読み出し制御データメモリ332に記憶させ、制御データメモリ332に記憶された制御データを用いて主記憶装置20内に格納されたチャネルプログラムに従いチャネル装置41a~41cの中から選択された1つのチャネル装置を制御する制御回路324a、324b、制御回路324a、324bが動作中か否かを監視し、制御回路324a、324bの動作状態を示す情報を出力する監視回路300a、300b、チャネル装置41a~41cからの動作要求信号を受信し、あらかじめ定められた優先順位に従って次に処理すべきチャネル装置をチャネル装置41a~41cの中から選択し、選択したチャネル装置を起動制御するように、監視回路300a、300bから出力された制御回路324a、324bの動作状態を示す情報に従って、制御回路324a、324bの中の動作していない制御回路を選択し、選択された制御回路に起動信号を送出する割り込み制御回路350、制御回路324a、324bとチャネル装置41a~41cの中から選択されたチャネル装置とを接続し、制御回路324a、324bからそれぞれに接続されたチャネル装置への動作指示内容の中継するチャネル指示回路340、制御回路324a、324bに制御されるチャネル装置に対応するチャネル番号を格納するチャネル番号レジスタ370a、370b、チャネル番号レジスタ370a、370bの双方に格納されたチャネル番号を比較し、比較結果を制御回路324a、324bに通知する比較回路380から構成されている。

【0041】図4におけるチャネル制御装置34は、図2のチャネル制御方式のブロック図に、チャネル番号レ

(8)

特開平7-175744

13

ジスタ370a, 370b及び比較回路380が付加されている点異なる。そして、制御回路324a, 324bの基本的機能は図2のチャネル制御装置32の制御回路322a, 322bの機能と同じであるが、チャネル番号レジスタ370a, 370b及び比較回路380との信号の授受に基づく動作が異なる。従って、チャネル番号レジスタ370a, 370b及び比較回路380の動作を中心に動作説明を行う。また、図2のチャネル制御装置31の構成と共通する部分の動作説明は省略する。

【0042】図4において、制御回路324a, 324bは、割り込み制御回路350の指示によりチャネル装置に対応する制御を開始する際に、対応するチャネル番号レジスタに、接続制御を処理するチャネル装置に対応するチャネル番号を格納する。例えば、制御回路324aがチャネル装置に対応する制御を開始する場合は、制御回路324aは、対応するチャネル番号レジスタ370aに接続制御を処理するチャネル装置に対応するチャネル番号を格納する。そして、比較回路380は、制御回路324aによってチャネル番号レジスタ370aに格納されたチャネル番号と、もしそのとき制御回路324bがすでにチャネル番号レジスタ370bに自分が接続制御を処理するチャネル装置に対応するチャネル番号を格納しているとするれば、そのチャネル番号とを比較し、一致している場合は一致していることを制御回路324a, 324bにそれぞれ通知する。このため、制御回路324a, 324bは、他方の制御回路で動作中のチャネル番号が自分が制御しているチャネル装置の番号と同一か否かを知ることができる。すなわち、各々の制御回路が起動された際、制御対象のチャネル番号と他の制御回路で動作中のチャネル番号とが一致しているか否かを判定し、一致している場合は動作を中断することにより、同一チャネルに対する動作指示を複数の制御回路324a, 324bの双方から行う状態を解消することができる。これにより、順序性の保証が必要な動作を複数の制御回路で実施させることが可能になる。

【0043】第4の発明では、制御回路で処理中のチャネル番号を比較してこれを双方の制御回路に通知することにより、第2の発明よりもチャネル装置からの動作要求の順序性を保証できるチャネル制御方式を実現することができる。

【0044】

【発明の効果】以上説明したように、本発明のチャネル制御方式は、複数のチャネル装置に対応して、チャネル制御装置内に複数の制御回路を設け、チャネル装置からの動作要求をこれら複数の制御回路で分担して実行する

14

ことにより、各々の制御回路の負荷を分散し待ち時間が少なく処理速度の速いチャネル制御方式を実現することができるという効果を有している。

【0045】また、複数の制御回路で共有できる記憶手段を設けることにより、制御メモリを減らしチャネル制御装置を安価に構成することができる。

【0046】また、障害検出回路を設け、一つの制御回路に障害が発生したとき、障害発生を残り の制御回路により処理装置に通知することにより、処理装置にかかる負担を少なくすることができる。

【0047】また、制御回路で処理中のチャネル番号を比較してこれを双方の制御回路に通知することにより、チャネル装置からの動作要求の順序性を保証することができる。

【図面の簡単な説明】

【図1】第1の発明のチャネル制御方式の一実施例を示すブロック図である。

【図2】第2の発明のチャネル制御方式の一実施例を示すブロック図である。

20 【図3】第3の発明のチャネル制御方式の一実施例を示すブロック図である。

【図4】第4の発明のチャネル制御方式の一実施例を示すブロック図である。

【図5】従来のチャネル制御方式の構成を示すブロック図である。

【符号の説明】

10 処理装置

20 主記憶装置

31～35 チャネル制御装置

41a～41c チャネル装置

51a～51c チャネル装置

315, 316 メモリアクセス制御回路

321a, 321b 制御回路

322a, 322b 制御回路

323a, 323b 制御回路

324a, 324b 制御回路

325 制御回路

331a, 331b 制御データメモリ

332, 333 制御データメモリ

40 300a, 300b 監視回路

340 チャネル指示回路

350, 355 割り込み制御回路

360a, 360b 障害検出回路

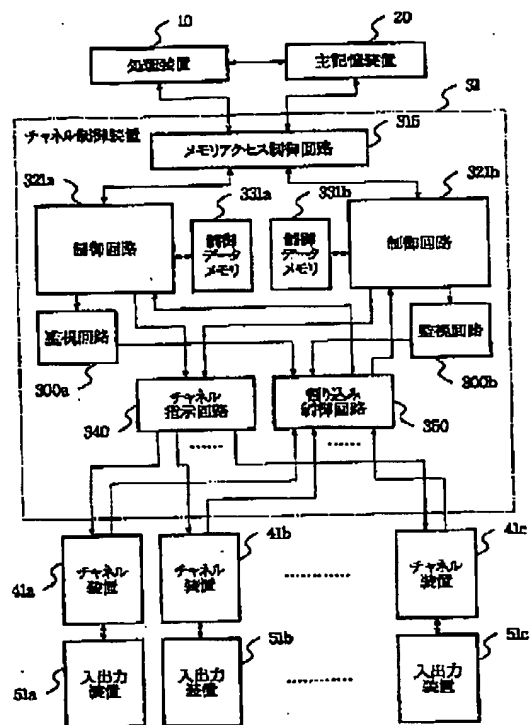
370a, 370b チャネル番号レジスタ

380 比較回路

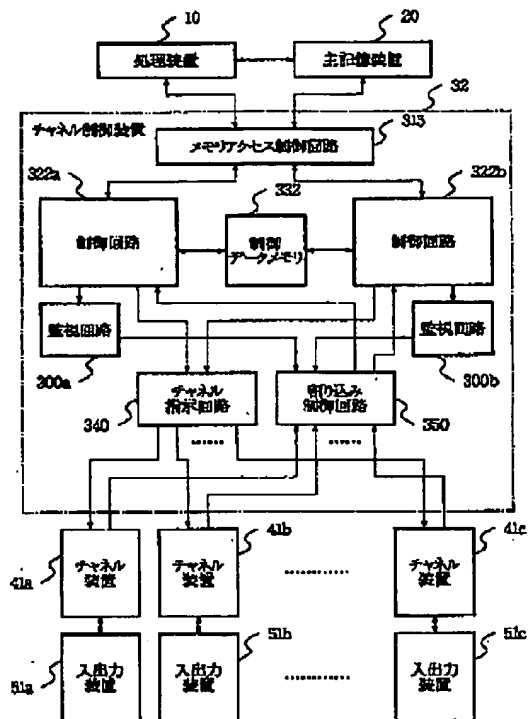
(9)

特開平7-175744

【 図1 】



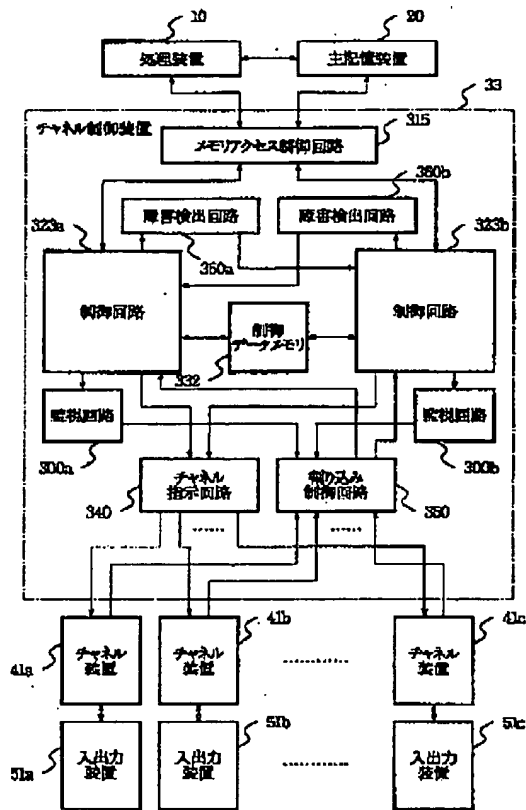
【 図2 】



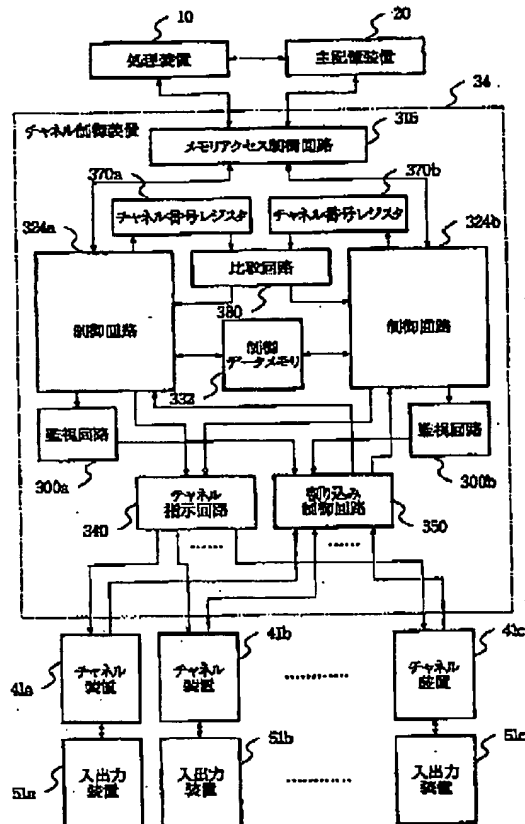
(10)

特開平7 -1 7 5 7 4 4

【 図3 】



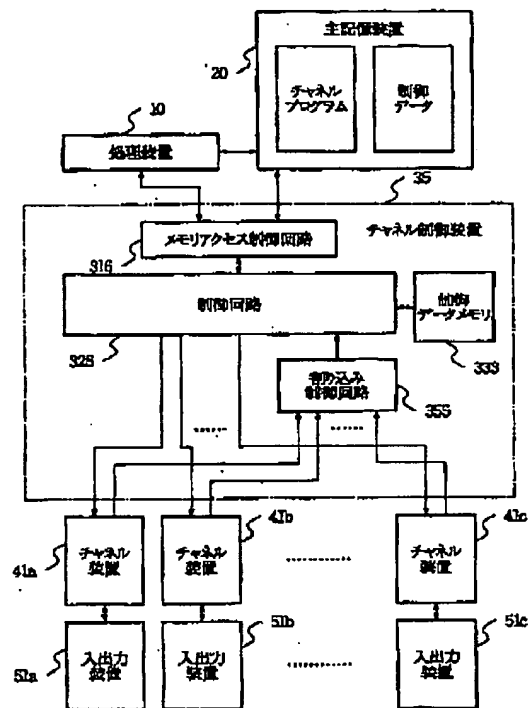
【 図4 】



(1 1)

特開平7 - 1 7 5 7 4 4

【 図5 】



フロント ページの続き

(72)発明者 上林 直毅

東京都港区西新橋三丁目20番4号 日本電

気エンジニアリング株式会社内